

DENEY RAPORU

|  |  |
| --- | --- |
| **Deney Adı** | Lojik Kapılar ve İkili devreler |
| **Deneyi Yaptıran Ar. Gör.** | Araş. Gr H. Önder Bektaş |
| **Raporu Hazırlayan**  **(İsim / Numara / Bölüm)** | Mustafa Güvenç / 040130003 / Elektronik ve Haberleşme Müh. |
| **Grup Numarası ve**  **Deney Tarihi** | C-06 09.12.2016 |

|  |  |  |
| --- | --- | --- |
| **Rapor Notu** | **Teslim Edildiği Tarih** | **Teslim Alındığı Tarih** |
|  | 15/12/2016 |  |

**Deney 6-1**

Bu deney için bir NAND tümdevresi kullanılmıştır. Cadet üzerine yerleştirilen NAND tümdevresine anahtarlar vasıtası ile iki giriş verilmiş ve alınan çıkış ledlerde gözlenmiştir.

Bu işlem öncesinde lojik işlemler kullanılarak NAND kapısının doğruluk tablosu oluşturulmuştur. Buna göre verilen girişlere göre NAND kapısının davranışı aşağıdaki gibidir:

|  |  |  |
| --- | --- | --- |
| A | B | Y |
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

A

Y

B

**Deney 6-3**

Bu kısımda NAND ile NOT kapısı oluşturulmuştur.NAND devrenin girişlerine aynı işaretler uygulanmıştır. Çıkışta değilleri elde edilmiştir.

|  |  |  |
| --- | --- | --- |
| A | A | A’ |
| 0 | 0 | 1 |
| 1 | 1 | 0 |

Bu kısımda ise NAND kapıları yardımıyla AND elde edilmiştir.NAND ‘in çıkışına tekrar bir tane daha NAND bağlayarak AND kapısı elde edilmiştir.

|  |  |  |
| --- | --- | --- |
| A | B | Y |
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

Bu kısımda ise NAND kapıları yardımıyla OR elde edilmiştir. 2 tane NAND ‘in çıkışına tekrar bir tane daha NAND bağlayarak OR kapısı elde edilmiştir.

|  |  |  |
| --- | --- | --- |
| A | B | Y |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

Bu kısımda ise NAND kapıları yardımıyla NOR elde edilmiştir. 2 tane NAND ‘in çıkışına tekrar NAND bağlanmıştır.Ardından bir tane daha NAND bağlanarak NOR elde edilmiştir.

|  |  |  |
| --- | --- | --- |
| A | B | Y |
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |

**Deney 6-4**

Bu deneyde yapılan işlem NAND veya NOR kapıları kullanılarak girişlerdeki değerlere göre çıkışı iki seviyede değer alabilen ve bu seviyelerin her ikisinde de kararlı olabilen devreler incelenmiştir. Bu amaçla kitabımızın 37. sayfasındaki Şekil 13 deki devre NOR kapıları ile kurulmuştur, bizim yapmamız gereken bu devreyi NAND kapıları kullanarak kurmaktır. Devre aşağıdaki gibidir;

Q

S

R

Q’

Tüm muhtemel girişlere karşılık düşen çıkışların verildiği doğruluk tablosu aşağıdadır.

|  |  |  |  |
| --- | --- | --- | --- |
| S | R | Q | Q’ |
| 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 |
| 1 | 1 | Hafıza | Hafıza |

(İstenmeyen durum)   
 Bu durumda devre herhangi bir çıkış seviyesinde iken S = 0 R = 1 girişi uygulanırsa çıkış Q = 0, Q’= 1 değerini alır, bu durumda S = 1 konumuna getirilirse devrenin çıkışı değerini korur, böyle iken R = 0 yapılırsa çıkış Q = 1, Q’ = 0 olur. Her iki girişin “ 0 ” yapılması durumunda devre düzgün çalışmaz, çünkü bu durumda Q ve Q’ çıkışlarının her ikisi de “ 1 ” değerini alır ki bu lojik işlemler açısından mümkün değildir.(Bir lojik değişkenin kendisi ve evriği aynı değeri alamaz.) Bu yüzden bu girişler istenmeyen durum olarak nitelendirilir.

Girişe clock işareti vererek çıkıştaki istenmeyen durumu ortadan kaldırabiliriz.

D=0 , D’=1 , clock=1 iken Q=0 , Q’=1

D=1 , D’=0, clock=0 iken Q=1 , Q’=0